

Cited Reference 5

Japanese Patent Application Laid Open Publication No. 8-297987
published on Nov. 12, 1996

Japanese Patent Application No. 7-102754
filed on Apr. 26, 1995

Applicant: Toshiba Corporation

Inventor: Murakami, Hiroaki

Title: Non-Volatile Semiconductor Memory

This invention relates to a non-volatile semiconductor memory e.g. NAND type electrically erasable programmable read only memory having a data comparator which commands rewriting of data on a memory area specified by comparing data held by first and second data holders that uses first and second voltage levels, respectively.

The memory has memory areas or a data memory area with one non-volatile memory cell transistor array (11) in which data is rewritten. A variable voltage source (20) generates some level of voltages applied to the gate of a memory cell transistor. A read-out unit reads the data from the memory cell transistor array of the data memory area, using specified first and second voltage levels. A first data holder supports the read data that uses the first voltage level. A second data holder supports the read data that uses the second voltage level. The held data of the data holders are then compared by a data comparator (17) which commands the rewriting of data of a memory area specified based on the comparison result.

...

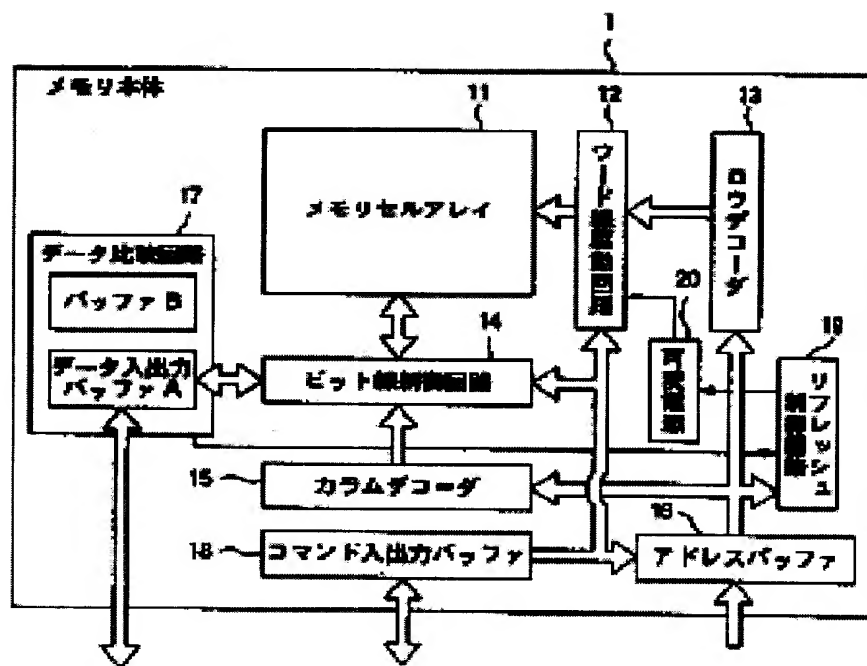
[0035] When a re-write flag F is set (Step 32), the refresh control circuit (19) reads the entire first page data from the memory cell array 11 by applying a normal gate biasing voltage of 0 volt and stores the data in the data I/O buffer (A). Then the control circuit erases all the first page data in the memory cell array and re-writes all the first page data stored in the buffer A into the memory cell array (11). This rewriting operation sets the threshold voltage of each of the first page area of the memory cell array to a reference level, thereby correcting reduced threshold voltages of memory cells (Step 34).

...

The present invention advantageously (i) improves non-volatile semiconductor memory in which data can be electrically rewritten without being influenced by frequency of reading; (ii) improves reliability of data held by having refresh function of data memory, (iii) enables data holders to continue holding correct data, (iv) prevents error by inversion of data in electrically erasable programmable read only memory, and (v) enables error correction per page in good order since redundant bit is eliminated.

Drawings of Reference 5 (1/1)

FIG. 1



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-297987

(43) 公開日 平成8年(1996)11月12日

(51) Int.Cl.⁶

G 1 1 C 16/06

識別記号

庁内整理番号

F I

G 1 1 C 17/00

技術表示箇所

5 1 0 E

3 0 9 E

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平7-102754

(22) 出願日 平成7年(1995)4月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 村 上 浩 明

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

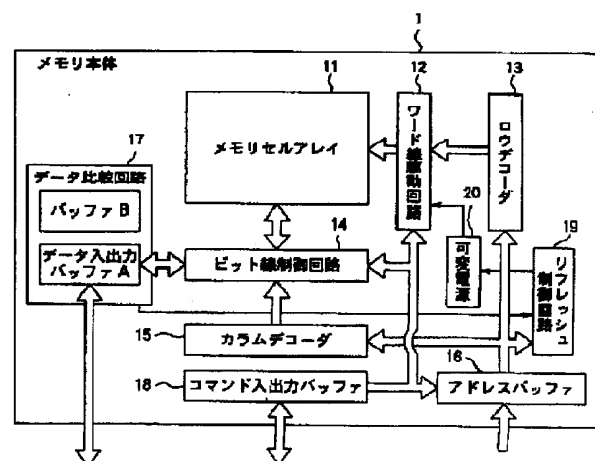
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 E E P R O Mにおけるデータの反転によるエラーを防止する。

【構成】 E E P R O Mを繰り返し書き換えていくとゲート酸化膜が徐々に劣化していく。しかし、劣化していく途中の過程では劣化の程度が小さいため、元の状態に修復可能である。そこで、メモリセルに異なるゲート電圧を印加してデータの読出しを行い、読出されるデータの値が同じかどうかを判別してメモリセルトランジスタの閾値電圧の変化を検出する。閾値電圧が変化している場合には、データの再書込みを行う。

【効果】 保持データの状態遷移が未然に防止される。



【特許請求の範囲】

【請求項 1】データの再書き込み可能な不揮発性のメモリセルトランジスタ群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記メモリセルトランジスタのゲートに印加するための複数レベルの電圧を発生する電圧源と、

第 1 のレベルの電圧若しくは第 2 のレベルの電圧を用いて指定された記憶領域のメモリセルトランジスタ群からデータを読出す読出手段と、

前記第 1 のレベルの電圧を用いて読出されたデータを保持する第 1 のデータ保持手段と、

前記第 2 のレベルの電圧を用いて読出されたデータを保持する第 2 のデータ保持手段と、

前記第 1 及び第 2 のデータ保持手段に保持されたデータ同士を比較し、比較結果に基づいて前記指定された記憶領域のデータの再書き込みを指令するデータ比較手段と、を備える不揮発性半導体記憶装置。

【請求項 2】データの再書き込み可能な不揮発性のメモリセルトランジスタ群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記メモリセルトランジスタのゲートに印加するための複数レベルの電圧を発生する電圧源と、

第 1 のレベルの電圧、第 2 のレベルの電圧及び所定レベルの電圧を用いて指定された記憶領域のメモリセルトランジスタ群からデータを読出す読出手段と、

前記第 1 のレベルの電圧を用いて読出されたデータを保持する第 1 のデータ保持手段と、

前記第 2 のレベルの電圧を用いて読出されたデータを保持する第 2 のデータ保持手段と、

所定レベルの電圧を用いて読出されたデータを保持する第 3 のデータ保持手段と、

前記第 1 及び第 2 のデータ保持手段に保持されたデータ同士を比較し、比較結果に基づいて前記指定された記憶領域のデータの再書き込みを指令するデータ比較手段と、

前記再書き込みの指令にตอบสนองして前記第 3 のデータ保持手段に保持されたデータによって前記指定された記憶領域のデータの再書き込みを行う再書き込み手段と、

を備える不揮発性半導体記憶装置。

【請求項 3】データの再書き込み可能な不揮発性のメモリセルトランジスタ群からなる 1 つ若しくは複数の記憶領域を有する情報記憶部と、

前記メモリセルトランジスタのゲートに印加するための複数レベルの電圧を発生する電圧源と、

第 1 のレベルの電圧、第 2 のレベルの電圧及び所定レベルの電圧を用いて指定された記憶領域のメモリセルトランジスタ群からデータを読出すことが可能な読出手段と、

前記第 1 のレベルの電圧を用いて読出されたデータを保持する第 1 のデータ保持手段と、

前記第 2 のレベルの電圧を用いて読出されたデータを保

持する第 2 のデータ保持手段と、

前記第 1 及び第 2 のデータ保持手段に保持されたデータ同士を比較し、比較結果に基づいて前記指定された記憶領域のデータの再書き込みを指令するデータ比較手段と、前記再書き込みの指令にตอบสนองして、前記所定レベルの電圧によって前記指定された記憶領域からデータを読出させ、これを前記第 1 若しくは前記第 2 のデータ保持手段に保持させ、保持されたデータによって前記指定された記憶領域のデータの再書き込みを行う再書き込み手段と、を備える不揮発性半導体記憶装置。

【請求項 4】保持すべきデータに対応して電荷が注入若しくは放出されるフローティングゲートを有するメモリセルトランジスタを複数備える再書き込み可能な不揮発性半導体記憶装置におけるメモリセルトランジスタの閾値電圧の変化を判別する方法であって、電荷が注入されたメモリセルトランジスタ及び電荷が放出されたメモリセルトランジスタの 2 つのメモリセルトランジスタの通常の閾値電圧間においてメモリセルトランジスタのゲートに印加する電圧を段階的に変化し、各段階の電圧においてデータを読出し、異なる電圧で読出されたデータ間の不一致によりメモリセルトランジスタの閾値電圧の変化を判別する、メモリセルトランジスタの閾値電圧の変化を判別する方法。

【請求項 5】前記電圧源は、0 ボルト、及び 0 ボルトを基準として正方向及び負方向に対象的に配置された複数レベルの電圧を発生する、ことを特徴とする請求項 1 乃至 3 のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気的に書替え可能な不揮発性半導体記憶装置の改良に関し、特に、記憶データのリフレッシュ機能を備えることによって保持するデータの信頼性を向上した不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】電気的に書替可能な不揮発性の半導体記憶装置として、例えば、図 8 及び図 9 に示すような、高集積化が可能な NAND 型 EEPROM (Electrically Erasable PROM) が知られている。図 8 (a) は、EEPROM の一列分のメモリセルのパターンを示しており、図 8 (b) は、その電気的な等価回路を示している。同図において、SG1 及び SG2 は選択線、CG1 ~ CG16 はコントロールゲート線、BL はビット線、S1 及び S2 は選択用トランジスタ、M1 ~ M16 はメモリセルである。また、図 9 (a) 及び図 9 (b) は、夫々図 8 (a) に示されている、A-A' 方向、B-B' 方向に沿った半導体装置の断面図を概略的に示している。両図において、211 は半導体基板、212 は素子分離

10

20

30

40

50

の絶縁膜、213はチャネル部の絶縁膜（トンネル酸化膜）、214はフローティングゲート、215はゲート間絶縁膜、216はコントロールゲート、217は絶縁膜、218は金属ビット線（BL）、219はソース・ドレイン領域を形成するの高濃度不純物領域、である。NAND型EEPROMは、図8及び図9に示されるように、複数のメモリセルM1～M16をそれらのソース、ドレイン219を隣接するもの同士で共有するようにして互いに直列に接続し、これを一単位としてビット線BLに接続するものである。

【0003】各メモリセルMは、通常、電荷蓄積層と制御ゲート216が積層された、FETMOS構造を有する。メモリセルアレイは、P型またはN型の基板211に形成されたP型ウエル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に接続されてワード線となる。このような、メモリセル列が複数列設けられて、図10に示すような、EEPROMの実際のメモリセルアレイが形成される。

【0004】次に、NAND型EEPROMの動作について説明する。データの書き込み及び読出しは、図10に示されるように、ワード線（CGi）を共有するメモリセル毎に行われる。この単位はページと呼ばれている。データの消去は、ドレイン側とソース側の2つの選択ゲート（例えば、SGi1、SGi2）の間にある全ワード線（例えば、CGi01～CGi16）を共有するメモリセルトランジスタ毎に行われる。この単位はブロックと呼ばれる。

【0005】データの書き込みは、選択されたメモリセルトランジスタの制御ゲートに20V程度の高電圧を印加し、選択ブロックの非選択メモリセルトランジスタの制御ゲートと選択ブロックのドレイン側選択ゲートに10V程度の中間電圧を印加する。また、選択ブロックのソース側選択ゲートと非選択ブロックの選択ゲートに0Vを印加し、ビット線BLには書き込みデータに応じて0Vまたは8V程度の中間電圧を夫々印加することによって行われる。ビット線BLに印加された電圧は、選択されたメモリセルトランジスタのチャネルまで伝達され、0Vが印加されたときはチャネルから浮遊ゲートに電子注入が生じ、選択されたメモリセルトランジスタの閾値電圧は正方向にシフトする。8Vが印加されたときは電子注入が起こらず、メモリセルトランジスタの閾値電圧は変化しない。

【0006】データの消去は、制御ゲートに0Vを、P型基板またはN型基板及びP型ウエルと全選択ゲートと非選択ブロックの全制御ゲートに20V程度の高電圧を夫々印加することによって行われる。一般的には、書き込み時の中間電圧による誤書込まれ（あるページのみ書込

み、消去を繰返すと、そのブロック内の他のページが誤書込みされること）を防止するためにブロック単位で消去を行うが、ページ単位での消去も技術的に可能である。ビット線及びソース線はフローティング状態にされる。これにより、選択されたブロックのすべてのメモリセルトランジスタで浮遊ゲートの電子がチャネルに放出され、閾値電圧は負方向にシフトする。一方、非選択ブロックのメモリセルトランジスタの閾値電圧の変動は生じない。

- 10 【0007】読出しは、選択されたワード線のメモリセルトランジスタの制御ゲートに0Vを印加する。それ以外のワード線のメモリセルトランジスタの制御ゲート及び選択ゲートには電源電圧を夫々印加し、選択されたメモリセルトランジスタ以外のトランジスタは全て導通させる。選択されたメモリセルトランジスタで電流が流れるか否かを検出することによって、データの読出しが行われる。

【0008】

- 20 【発明が解決しようとする課題】上述したように、EEPROMのメモリセルにおけるデータの記憶は、浮遊ゲート中に電子が存在するか否かにより、「0」、「1」を記憶させている。フローティングゲートへの電子の注入／放出は、基板とフローティングゲート間の酸化膜中に電流を流すことにより行っている。

【0009】従って、EEPROMに書き込み／消去動作を繰返し行くと、酸化膜の特性が劣化し、メモリセルのデータ保持特性が徐々に悪化することが知られている。

- 30 【0010】データ保持特性の劣化の程度は、セルの出来具合のバラツキにより一定しないが、中でも特に出来具合のセルについては、装置の一般的な寿命保証期間である10年を満足出来ないものが発生する。

【0011】従来の不揮発性半導体記憶装置では、保持特性の悪いセルが発生し、データ保持エラーによってデータが反転すると、反転したデータを装置内で修復することは出来ない。この場合には、装置外にエラー修復（ECC）回路を設けて対処せざるを得ない。

- 40 【0012】また、エラー修復回路を設けてエラーデータを修復する場合には、16Mビット容量のNAND EEPROM（例えば、TC5816FT/TR（製品名））のように、一度にやりとりするデータ量（1ページのデータ量）が256バイトであるものに対しエラー修復を可能とするために冗長ビットを加え、1ページのデータ量を264バイトとして、エラー修復回路を通さなければならなかった。

- 50 【0013】よって、本発明は、メモリセルのデータ保持特性が劣化しても、記憶装置内で修復可能な状態のうちにメモリセルの保持データの再書き込みを行い、データの反転によるエラーを未然に防止して不揮発性半導体記憶装置の信頼性を向上することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置は、データの再書込み可能な不揮発性のメモリセルトランジスタ群からなる1つ若しくは複数の記憶領域を有する情報記憶部と、上記メモリセルトランジスタのゲートに印加するための複数レベルの電圧を発生する電圧源と、第1のレベルの電圧若しくは第2のレベルの電圧を用いて指定された記憶領域のメモリセルトランジスタ群からデータを読み出す読出手段と、上記第1のレベルの電圧を用いて読出されたデータを保持する第1のデータ保持手段と、上記第2のレベルの電圧を用いて読出されたデータを保持する第2のデータ保持手段と、上記第1及び第2のデータ保持手段に保持されたデータ同士を比較し、比較結果に基づいて前記指定された記憶領域のデータの再書込みを指令するデータ比較手段と、を備える。

【0015】また、本発明のメモリセルトランジスタの閾値電圧の変化を判別する方法は、保持すべきデータに対応して電荷が注入若しくは放出されるフローティングゲートを有するメモリセルトランジスタを複数備える再書込み可能な不揮発性半導体記憶装置におけるメモリセルトランジスタの閾値電圧の変化を判別する方法において、電荷が注入されたメモリセルトランジスタ及び電荷が放出されたメモリセルトランジスタの2つのメモリセルトランジスタの通常の閾値電圧間でメモリセルトランジスタのゲートに印加する電圧を段階的に変化し、各段階の電圧においてデータを読み出し、異なる電圧で読出されたデータ間の不一致によりメモリセルトランジスタの閾値電圧の変化を判別する。

【0016】

【作用】メモリセルのデータ保持特性は、EEPROMを繰り返し書き換えていくと徐々に劣化していく。しかし、劣化していく途中の過程では劣化の程度が小さいため、元の状態に修復可能である。

【0017】そこで、メモリセルに異なるゲート電圧を印加してデータの読み出しを行い、読出されるデータの値が同じかどうかを判別して閾値電圧の変化を検出する。閾値電圧が変化している場合には、データの再書込みを行うことによって、保持データの状態遷移を防止する。

【0018】

【実施例】まず、本発明の実施例を説明する前に、NAND型EEPROMにおける閾値の変動について説明する。メモリセルのフローティングゲート内の正孔（ホール）と電子（エレクトロン）の数が一致した電気的中性の状態では、セルの閾値電圧は略0ボルト付近になるように設計され、製造されている。

【0019】フローティングゲート内に電子が注入された状態（書込み動作）では閾値電圧は正の電圧となり、フローティングゲートから電子が放出された状態（消去状態）では閾値電圧は負の電圧となる。正の閾値電圧と

なったセル群あるいは負の閾値電圧となったセル群は、そのまま放置しておく、図2に示すように、電気的に中性状態に向う。各セルは長時間を経て電気的に中性の状態に向うので、メモリの使用には支障がない。

【0020】しかしながら、書込み／消去動作を繰返ししていくと、図2にa及びbとして示すように、短時間で閾値電圧が変化するセルが現れる場合がある。これはデータ保持不良となる。また、読出し時に制御ゲートへ電圧を印加することにより、図3にcとして示すように、負の閾値電圧が放置時よりもはやく0ボルトを超え、正の閾値電圧となってしまうセルが発生する場合がある。これは、読出し妨害（Read Disturb）不良となる。

【0021】図4（A）は、メモリセルのゲート電圧対ドレイン電流特性を示している。データ「1」が書込まれた（電子放出）セル群は、ゲート電圧0ボルトで電流が流れるデュプレッション型のトランジスタとなる。また、データ「0」が書込まれた（電子放出）セル群は、例えば、ゲート電圧0.5ボルト以上で電流が流れるトランジスタとなる。上述したデータ保持不良のセルでは、図4（B）あるいは同図（C）に示すように、ゲート電圧対ドレイン電流特性がシフトした特性となる。

【0022】図1は、本発明の実施例を示しており、半導体不揮発性メモリ1は、11はNAND型EEPROMからなるメモリセルアレイ、12は指定されるワード線を駆動するワード線駆動回路、13は与えられたアドレス信号に対応するワード線の駆動をワード線駆動回路2に指令するロウデコーダ、14は指示されたビット線を駆動する制御回路、15は与えられるアドレス信号に対応するビット線の駆動を指令するカラムデコーダ、16はアドレス信号を一時保持するアドレスバッファ、17は入出力データを一時保持するデータバッファA及びBを備え、両データバッファに化膿されたデータを比較する機能を備えるデータ比較回路、18はメモリに与えられるコマンドを一時保存するコマンド入出力バッファ、19はメモリセルアレイのリフレッシュ（再書込み）を制御するリフレッシュ制御回路、20は各メモリセルのゲートに印加する、例えば、+0.5ボルト、+0.1ボルト、0ボルト、-0.1ボルト、-0.5ボルトの複数のゲート電圧を発生する可変電圧源、である。

【0023】次に、半導体メモリの動作について説明する。データの書込みは、図示しない外部のCPUからデータ比較回路の17のデータ入出力バッファAに書込むべきデータが供給される。また、CPUから書込みコマンドがコマンド入出力バッファ18に、書込みアドレスがアドレスバッファ16に夫々供給される。この結果、メモリセルアレイ1内の指定アドレスに対応するメモリセルアレイに対してデータの書込みが行われる。

【0024】データの消去は、CPUから消去コマンドがコマンド入出力バッファ18に供給され、アドレス信

号がアドレスバッファ6に供給されることによって行われ、アドレスしタイされたメモリセルアレイ1内の該当するメモリセルのデータがクリアされる。

【0025】データの読出しは、CPUから読出しコマンドがコマンド入出力バッファ18に供給され、読出アドレスがアドレスバッファ16に与えられることによって行われる。メモリセルアレイ1内の該当するメモリセルから読出されるデータは、ビット線制御回路14、データ入出力バッファAを経て外部に出力され、図示しないCPUに取込まれる。

【0026】次に、リードストレスによる保持データの誤り防止について図5に示されるフローチャートを参照して説明する。

【0027】NAND型EEPROMは、データ「0」に対応するセルの閾値電圧は書き込み時に、任意の電圧（例えば、+0.5V）以上になるように制御されている。同様に、データ「1」に対応するセルの閾値電圧も任意の電圧（例えば、-0.5V）以下になるように制御されている。また、フローティングゲート中にある電子と正孔の数が釣り合った、いわゆる中性状態の閾値電圧は、0V近辺にある。

【0028】そこで、この実施例では、セルのデータ保持エラーを、「1」のセルが-0.5Vから0Vに向う場合と、「0」のセルが+0.5Vから0Vに向う場合とに分離して読出データの検証を行う。

【0029】まず、リフレッシュ制御回路19は、メモリ装置1への図示しない電源オンリセット信号の供給を契機として、あるいは図示しない外部のCPUからのデータ再書き込みルーチンの実行指令の供給を契機として図5に示す制御手順の実行を開始する。リフレッシュ制御回路19は、書換フラグFをリセットする（S12）。メモリセルアレイ11からデータを読出すページPを1にセットし、ロウデコーダ13及びカラムデコーダ15を介して読出ページアドレスを設定する（S14）。リフレッシュ制御回路19は、可変電圧源20の出力電圧を+0.5ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに+0.5ボルトを印加する。第1ページの各メモリセルから読み出された1ページ分のデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファ（レジスタ）Aに格納される（S16）。

【0030】次いで、リフレッシュ制御回路19は、可変電圧源20の出力電圧を+0.1ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに+0.1ボルトを印加する。第1ページの各メモリセルから読み出された1ページのデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファ（レジスタ）Bに格納される

（S18）。

【0031】データ入出力バッファA及びBに格納されたデータが一致するかどうかを判別する（S20）。データ入出力バッファA及びBに格納されたデータを比較することにより、図4（B）に示すように、メモリセルの閾値電圧が+0.5ボルト方向から0ボルト方向にシフトしたセルを検出することができる。この場合、閾値電圧のシフトは、「0」データが「1」から「0」に変化するものとして現れる。ゲート電圧+0.5ボルトと+0.1ボルトの読出データに不一致が生じた場合には、後に再書き込みを行うべきことを示す書替フラグFを「1」にセットする（S22）。

【0032】データの一致を判別した場合（S20）、あるいは書替フラグFをセットした後（S22）、リフレッシュ制御回路19は、可変電圧源20の出力電圧を-0.5ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに-0.5ボルトを印加する。第1ページの各メモリセルから読み出された1ページのデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファAに格納される（S24）。

【0033】リフレッシュ制御回路19は、可変電圧源20の出力電圧を-0.1ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに-0.1ボルトを印加する。第1ページの各メモリセルから読み出された1ページのデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファBに格納される（S26）。

【0034】データ入出力バッファA及びBに格納されたデータが一致するかどうかを判別する（S28）。データ入出力バッファA及びBに格納されたデータを比較することにより、図4（C）に示すように、メモリセルの閾値電圧が-0.5ボルト方向から0ボルト方向にシフトしたセルを検出することができる。この場合、閾値電圧のシフトは、「1」データが「0」から「1」に変化するものとして現れる。ゲート電圧-0.5ボルトと-0.1ボルトの読出データに不一致が生じた場合には、書替フラグFを「1」にセットする（S30）。

【0035】書替フラグFがセットされていると（S32）、例えば、0ボルトの通常のゲートバイアス電圧でメモリセルアレイ10から第1ページ的全データを読出し、データ入出力バッファAに格納する。第1ページ的全データを消去し、データ入出力バッファAに格納されている第1ページのデータをメモリセルアレイ10の第1ページに再度書込む。この再書き込みによって第1ページの各メモリセルの閾値は基準値に設定される。絶対値が減少したメモリセルの閾値電圧が修正される（S4）。

10

20

30

40

50

【0036】チェック対象ページを次のページに設定し、書替フラグFをリセットする(S36)。メモリセルアレイ10の最後のページまで、ステップS16~S36を繰返し、閾値電圧に変動の生じたメモリセルを含むページのデータを再書込し、エラーの発生を未然に防止する。

【0037】最後のページの判別、再書込みが終了した後、記憶装置の元の状態、あるいは元のルーチンに戻る(S38)。

【0038】なお、上記実施例においては、データ入出力バッファA及びBを用いて比較を行い、比較の後で読出した再書込みデータを入出力バッファAに保持する構成としている。回路スペースがあれば第3のバッファを設け、第3のバッファに再書込みデータを保持し、このデータによって再書込みを行うようにすることが可能である。この場合には、例えば、ステップS16及びS18に続いて、第3のバッファに0ボルトで読出したデータを再書込用データとして保持するようにしても良い。後述のステップS56においても同様である。

【0039】図6は、第2の実施例を示しており、図5に示す実施例と対応する部分には同一符号を付し、かかる部分の説明は省略する。

【0040】同図において、リフレッシュ制御回路19は書替フラグをリセットし(S12)、対象ページを第1ページに設定する(S14)。リフレッシュ制御回路19は可変電圧源20の出力電圧を+0.5ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに+0.5ボルトを印加し、第1ページのデータを読出す。第1ページの各メモリセルから読み出された1ページ分のデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファ(レジスタ)Aに格納される(S16)。

【0041】次いで、リフレッシュ制御回路19は、可変電圧源20の出力電圧を+0.1ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに+0.1ボルトを印加する。第1ページの各メモリセルから読み出された1ページのデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファ(レジスタ)Bに格納される。

【0042】データ入出力バッファA及びBに格納されたデータが一致するかどうかを判別する(S42)。データ入出力バッファA及びBに格納されたデータを比較することにより、図4(B)に示すように、メモリセルの閾値電圧が+0.5ボルト方向から0ボルト方向にシフトしたセルを検出することができる。この場合、閾値電圧のシフトは、「0」データが「1」から「0」に変化するものとして現れる。ゲート電圧+0.5ボルトと

+0.1ボルトの読出データに不一致が生じた場合には、後に再書込みを行うべきことを示す書替フラグFを「1」にセットする(S44)。

【0043】次に、リフレッシュ制御回路19は、可変電圧源20の出力電圧を-0.5ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに-0.5ボルトを印加する。第1ページの各メモリセルから読み出された1ページのデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファBに格納される。

【0044】データ入出力バッファA及びBに格納された、+0.5ボルトで読出されたデータと-0.5ボルトで読出されたデータとが一致するかどうかを判別する(S46)。データ入出力バッファA及びBに格納されたデータを比較することにより、図4(A)に示すように、設計上の識別可能範囲である+0.5ボルト~-0.5ボルト内におけるメモリセルの閾値電圧の変化が検出可能である。ゲート電圧+0.5ボルトと-0.5ボルトの読出データに不一致が生じた場合には、後に再書込みを行うべきことを示す書替フラグFを「1」にセットする(S48)。

【0045】リフレッシュ制御回路19は、可変電圧源20の出力電圧を-0.1ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに-0.1ボルトを印加する。第1ページの各メモリセルから読み出された1ページのデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファBに格納される。

【0046】データ入出力バッファA及びBに格納された、+0.5ボルトで読出されたデータと-0.1ボルトで読出されたデータとが一致するかどうかを判別する(S50)。データ入出力バッファA及びBに格納されたデータを比較することにより、+0.5ボルト~-0.1ボルト内におけるメモリセルの閾値電圧の変化が検出可能である。ゲート電圧+0.5ボルトと-0.1ボルトの読出データに不一致が生じた場合には、後に再書込みを行うべきことを示す書替フラグFを「1」にセットする(S52)。

【0047】書替フラグFが「1」にセットされていると(S32)、例えば、0ボルトの通常のゲートバイアス電圧でメモリセルアレイ10から第1ページ的全データを読出し、データ入出力バッファAに格納する。メモリセルアレイ10の第1ページ的全データを消去し、データ入出力バッファAに格納されている第1ページのデータをメモリセルアレイ10の第1ページに再度書込む。この再書込みによって第1ページの各メモリセルの閾値は基準値に設定される。絶対値が減少したメモリセルの閾値電圧が修正される(S56)。

【0048】以下、図5と同様に、チェック対象ページを次のページに設定し、書替フラグFをリセットして（S36）、メモリセルアレイ10の最後のページまで、ステップS16～S36を繰返し、閾値電圧に変動の生じたメモリセルを含むページのデータを再書きし、エラーの発生を未然に防止する。

【0049】最後のページの判別、再書き込みが終了した後、記憶装置の元の状態、あるいは元のルーチンに戻る（S38）。

【0050】第3の実施例を図7に示す。同図において、図5と対応するステップには同一符号を付している。この実施例では、0ボルトで読出したデータを基準にして値の変化を見ている。また、CPUからのアクセスを考慮しており、メモリセルアレイの各11の各ページ毎にエラーの有無を判別可能としている。

【0051】まず、リフレッシュ制御回路19は、メモリセルアレイの特定の記憶場所に設定された、各ページに対応してnページ分用意されたエラーフラグF1～Fnをリセットし（S12）、チェック対象のページPを1ページに設定する（S14）。

【0052】リフレッシュ制御回路19は、可変電圧源20の出力電圧を標準のゲート印加電圧である0ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに0ボルトを印加する。第1ページの各メモリセルから読み出された1ページ分のデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファAに格納される（S62）。

【0053】次に、+0.5ボルト読出しチェックを行う。リフレッシュ制御回路19は、可変電圧源20の出力電圧を+0.5ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワード線を介して第1ページのメモリセルのゲートに+0.5ボルトを印加する。第1ページの各メモリセルから読み出された1ページ分のデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファBに格納される。データ比較回路17において、データ入出力バッファA及びBの値の比較を行い、正規のゲート電圧（0ボルト）による読出データと、+0.5ボルトによる読出しデータとが一致するかどうかをチェックする（S64）。一致しない場合は、0～+0.5ボルトの範囲内でデータ「0」の閾値電圧のシフトが考えられるので、各ページ毎に設けられたエラーフラグFp（ページ1のときは、F1）を「1」に設定する（S66）。

【0054】-0.5ボルトチェックを行う。リフレッシュ制御回路19は、可変電圧源20の出力電圧を-0.5ボルトに設定し、ワード線駆動回路12に供給する。ワード線駆動回路12は、第1ページに相当するワ

ード線を介して第1ページのメモリセルのゲートに-0.5ボルトを印加する。第1ページの各メモリセルから読み出された1ページ分のデータは、ビット線駆動回路14を経てデータ比較回路17のデータ入出力バッファBに格納される。データ比較回路17において、データ入出力バッファA及びBの値の比較を行い、正規のゲート電圧（0ボルト）による読出データと、-0.5ボルトによる読出しデータとが一致するかどうかをチェックする（S68）。一致しない場合は、0～-0.5ボルトの範囲内でデータ「1」の閾値電圧のシフトが考えられるので、エラーフラグFpを「1」に設定する（S70）。

【0055】エラーチェック対象のページを次ページに設定して（S36）、ステップS62～S70を繰返し、最終のページまでエラーチェックを行う（S38）。各ページのチェック結果は、フラグを参照することによって読出することができる。従って、外部のCPUから本チェックルーチンの実行を指示させ、CPUにエラーフラグの内容を読出させて、所要のデータの再書き込みを行わせることが可能である。

【0056】なお、本実施例においても、エラーチェックの結果に基づいて、前述したステップS34、S56のようにエラーチェックを行うことができる。

【0057】上述した各実施例では、メモリ内の全記憶領域についてエラーチェックを行ってゐる。しかしながら、一部の記憶領域をチェックし、その結果により、全部の記憶領域を再書き込めることにしても良い。また、上述したステップS14においてチェックの開始ページ

（記憶場所）を指定し、ステップS38でチェック終了のページに一致するかどうかを判別することとしても良い。例えば、EEPROMに記録されるプログラムのうち、読出し頻度の高い、初期プログラムローダ（Initial Program Loader）やオペレーティングシステム部分をチェックの対照とすることができる。

【0058】データの更新（再書き込み）単位は、実施例ではページを単位として説明したが、これに限定されるものではない。例えば、ページの集合であるブロック、ブロックの集合であるクラスタ、を単位として行うことが可能である。

【0059】上述した本発明の各実施例によれば、メモリセルのゲートに異なる電圧を印加してデータを読出し、読出されるデータの相違によって閾値電圧のシフトを判別し、閾値電圧が「0」あるいは「1」データの判別限界を超える前に各メモリセルの閾値電圧が保持するデータに対応した閾値電圧に再設定されるので、EEPROMの保持データの反転が防止される。

【0060】

【発明の効果】以上説明したように本発明によれば、書替可能な不揮発性メモリにおいて、メモリセルトランジスタの閾値変化による保持データの状態遷移によってエ

10

20

30

40

50

ラーが生じる前に、メモリセルトランジスタのゲートに印加する電圧を基準値の近傍に変化させて読出したデータ同士を比較し、データにエラーがあると、データの再書き込みを行うようにしたので、読出し回数に影響されずに、正しいデータを保持し続けることが可能となる。また、記憶装置の外部あるいは内部に複雑なデータのエラー訂正回路(ECC)や、ページ内にエラー訂正を可能とするための冗長ビットを設ける必要がないので具合が良い。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック回路図である。

【図2】メモリセルトランジスタの閾値電圧の変化傾向を説明するための説明図である。

【図3】メモリセルトランジスタにおける閾値のエラーを説明するための説明図である。

【図4】メモリセルトランジスタ群のゲート電圧対ドレイン電流特性を説明する説明図である。

10

*【図5】データの再書き込み動作を説明するフローチャートである。

【図6】データの再書き込み動作を説明するフローチャートである。

【図7】閾値シフトをチェックする動作を説明するフローチャートである。

【図8】EEPROMの単位セルアレイを説明する説明図である。

【図9】NAND型EEPROMを説明する断面図である。

【図10】EEPROMを説明する回路図である。

【符号の説明】

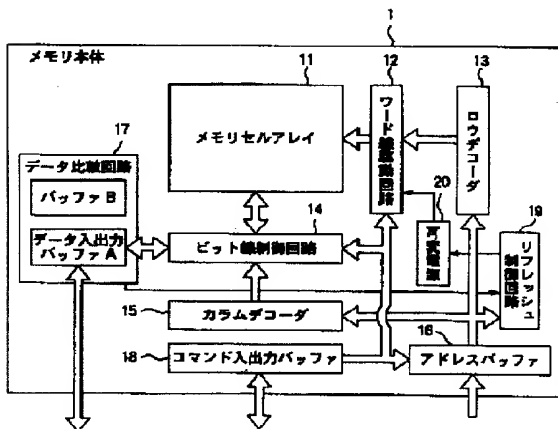
11 メモリセルアレイ

17 データ比較器

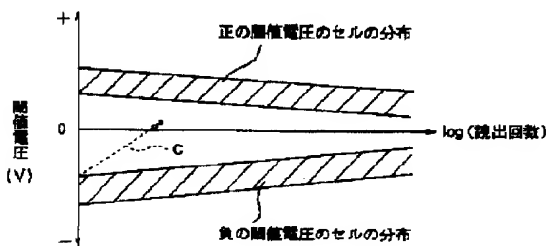
19 リフレッシュ制御回路

20 可変電圧源

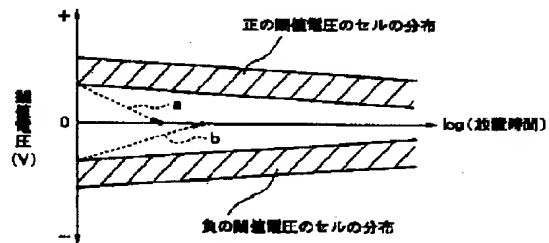
【図1】



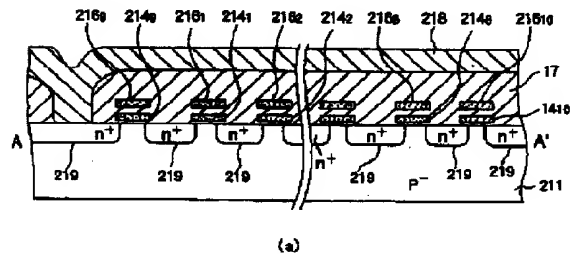
【図3】



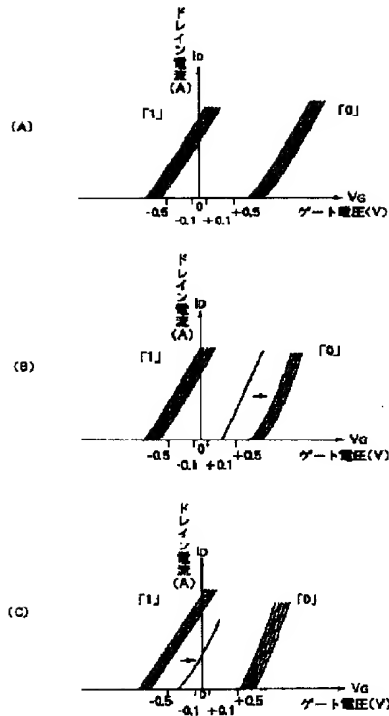
【図2】



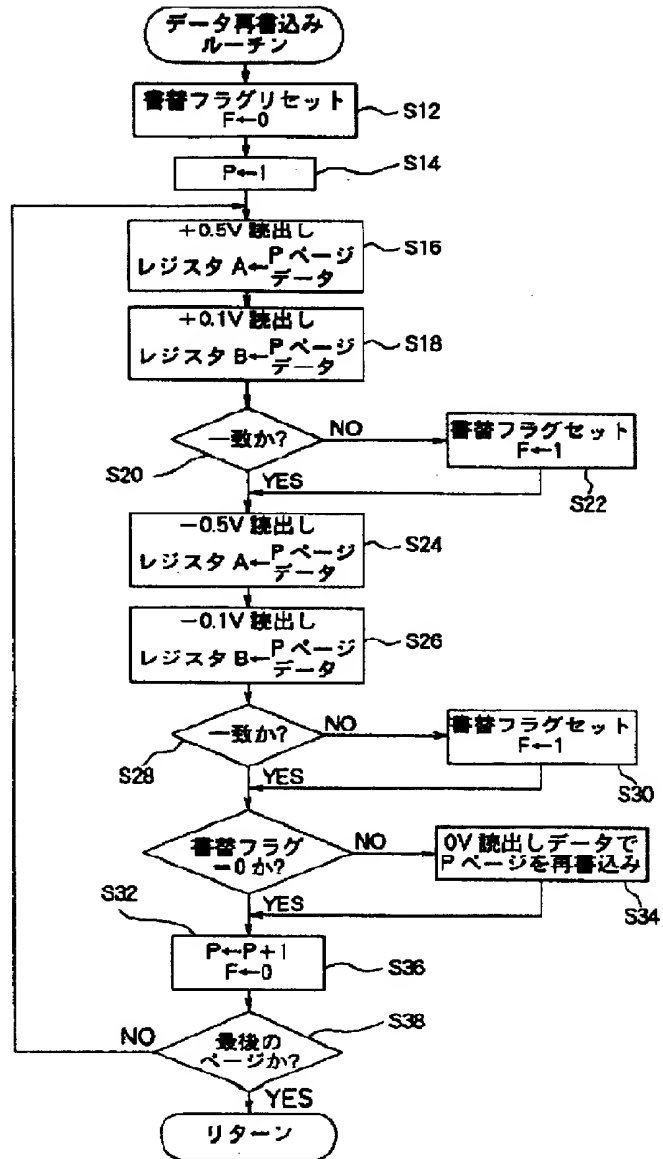
【図9】



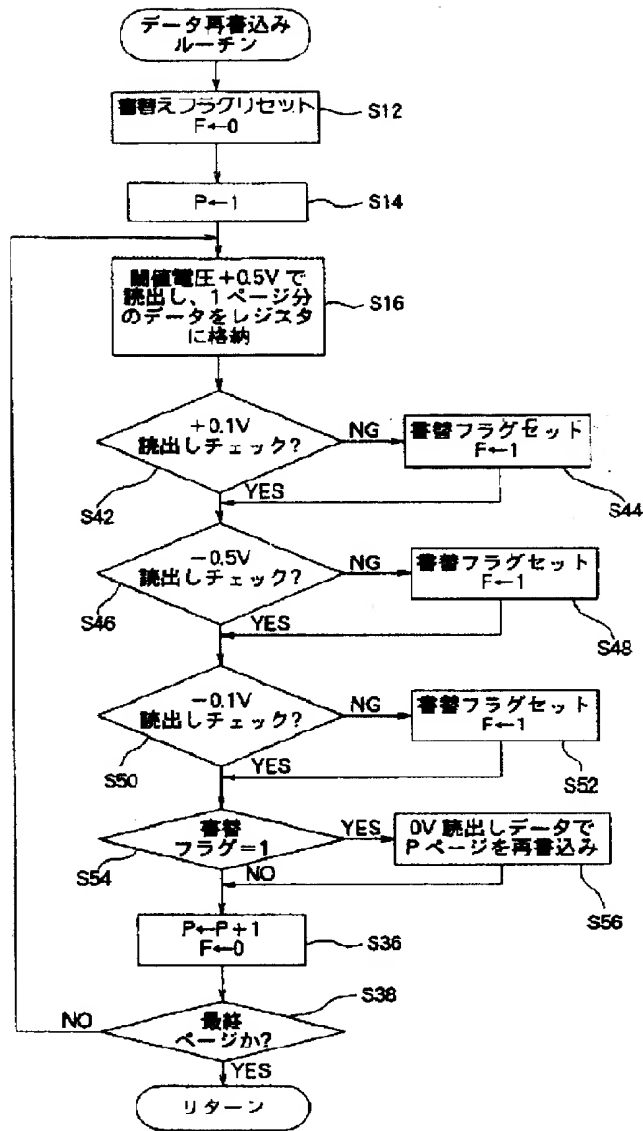
【図4】



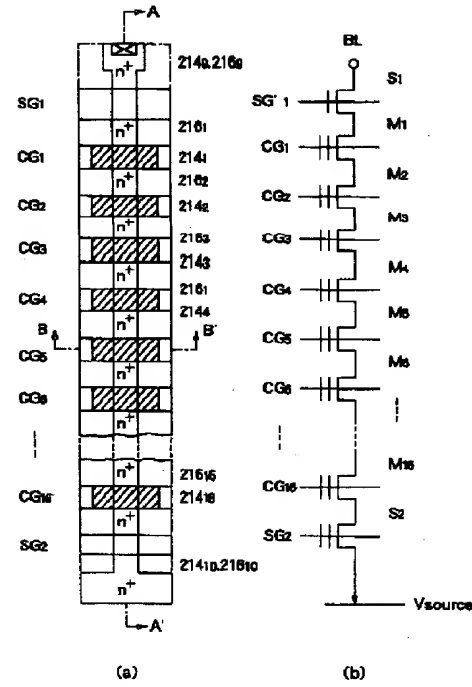
【図5】



【図6】



【図8】



【図7】

